

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

500P0400US00

jc135 U.S. PTO
09/54554
04/07/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年 4月 9日

出願番号

Application Number:

平成11年特許願第102048号

出願人

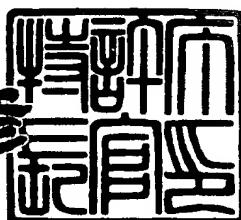
Applicant(s):

ソニー株式会社

2000年 3月 3日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3011760

【書類名】 特許願
【整理番号】 9900135302
【提出日】 平成11年 4月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/04
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 平野 智之
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 岩元 勇人
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代表者】 出井 伸之
【代理人】
【識別番号】 100086298
【弁理士】
【氏名又は名称】 船橋 國則
【電話番号】 0462-28-9850
【手数料の表示】
【予納台帳番号】 007364
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

特平11-102048

【包括委任状番号】 9713936

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャパシタの形成方法

【特許請求の範囲】

【請求項1】 基板上に形成された孔状または島状のコアパターンを覆う状態で非晶質シリコン膜を形成する第1工程と、

前記コアパターンの側壁に前記非晶質シリコン膜を残す状態で当該非晶質シリコン膜を除去し、当該コアパターンの側壁に残った当該非晶質シリコン膜を周壁としたシリンダ型の下部電極を形成する第2工程と、

前記コアパターンをエッティング除去する第3工程と、

前記下部電極の表面に成長した自然酸化膜及び当該下部電極を構成する非晶質シリコンの表面層をエッティング除去する第4工程と、

前記下部電極の表面にシリコンの半球グレインを成長させる第5工程と、

を行うことを特徴とするキャパシタの形成方法。

【請求項2】 請求項1記載のキャパシタの形成方法において、

前記第4工程では、強アルカリ水溶液によるウェットエッティングを行うことを特徴とするキャパシタの形成方法。

【請求項3】 請求項1記載のキャパシタの形成方法において、

前記第4工程では、ドライエッティングを行うことを特徴とするキャパシタの形成方法。

【請求項4】 基板上に形成された孔状または島状のコアパターンを覆う状態で非晶質シリコン膜を形成する第1工程と、

前記コアパターンの側壁に前記非晶質シリコン膜を残す状態で当該非晶質シリコン膜を除去し、当該コアパターンの側壁に残った当該非晶質シリコン膜を周壁としたシリンダ型の下部電極を形成する第2工程と、

前記コアパターンをエッティング除去する第3工程と、

硝酸とフッ酸との混合水溶液を用いて前記下部電極の表面層をエッティングする第4工程と、

前記下部電極の表面にシリコンの半球グレインを成長させる第5工程と、
を行うことを特徴とするキャパシタの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャパシタの形成方法に関し、特に半導体装置の製造工程において、シリンドラ型の下部電極の表面にシリコンの半球グレインを形成するキャパシタの形成方法に関する。

【0002】

【従来の技術】

半導体装置の高集積化及び高機能化にともない、DRAM (Dynamic Random Access Memory) セルにおいては、キャパシタの専有面積が縮小化される傾向にある。また、メモリセルとしての機能を十分に果たすべく、 α 線によるソフトエラーの発生を防止するには、一定以上のキャパシタ容量を確保することで雑音に対する十分なマージンを確保する必要がある。このため、DRAMセルのキャパシタにおいては、誘電率の高い強誘電膜を用いたり、下部電極（すなわち記憶ノード）の形状をシリンドラ型にしてその表面積を広げることでキャパシタ容量を増加させてきた。

【0003】

また、さらなるキャパシタ容量の増加を目的として、特開平8-306646号広報には、シリコンの半球グレイン (Hemispherical Grained Silicon、以下 HSG-Si と記す) を電極表面に形成する方法が提案されている。

以下に、この用法を適用したシリンドラ型キャパシタの形成方法を説明する。

先ず、図7(1)に示すように、基板1上に酸化シリコンからなるシリンドラコア層2を形成し、このシリンドラコア層2をパターニングして孔状のコアパターン2aを形成する。次に、コアパターン2aの内壁を覆う状態で非晶質シリコン膜3を形成した後、コアパターン2aの内壁のみに非晶質シリコン膜3を残す状態でシリンドラコア層2上の非晶質シリコン膜3部分を除去する。これによって、非晶質シリコンからなるシリンドラ型の下部電極3aを形成する。次いで、図7(2)に示すように、基板1上のシリンドラコア層2をウェットエッティングによって除去する。

【0004】

以上の後、図7(3)に示すように、下部電極3aの表面にHSG-Si5を形成する。この際、先ず、希フッ酸(DHF)を用いたエッティングによって、下部電極3aの表面に成長した自然酸化膜(図示省略)を除去する。次に、下部電極3aの表面にシランガス(SiH₄)を供給してSiグレイン核(図示省略)を形成し、その後連続してアニール処理を行う。これによって、下部電極3aを構成する非晶質シリコン表面において、シリコン原子をSiグレイン核に集めるようにマイグレーションさせる。この結果、Siグレイン核を中心としたシリコンの半球グレイン、すなわちHSG-Si5が下部電極3aの表面に形成され、下部電極3aの表面積が広げられる。

【0005】

【発明が解決しようとする課題】

ところが、上述のようにして下部電極を形成するキャパシタの形成方法には、次のような課題があった。

すなわち、図7(1)を用いて説明したシリンドコア層2に形成されたコアパターン2aの表面には、プロセス中において発生した有機物Aが付着した状態になっている。このため、コアパターン2aの内壁を覆う状態で形成された非晶質シリコン膜3におけるコアパターン2a側の表面層には、この有機物Aが取り込まれる。ところが、希フッ酸を用いた下部電極3aのエッティングでは、下部電極3aの表面に成長した自然酸化膜は除去されるが、下部電極3aを構成する非晶質シリコンや有機物Aをエッティングすることができない。このため、下部電極3aの表面層には有機物Aが取り込まれたまま残される。

【0006】

そして、このように有機物Aが取り込まれた下部電極3a(すなわち非晶質シリコン)の表面層では、シリコン原子のマイグレーションが抑制されるため、HSG-Si5の成長が阻害される。したがって、前述のようにして形成されたシリンド型の下部電極3aにおいては、外周壁面におけるHSG-Si5の成長が阻害され、下部電極3aの表面積を十分に広げることができない。これは、キャパシタの大容量化を阻害する要因になっている。

【0007】

そこで本発明は、シリンド型の下部電極における露出表面の全面においてHSG-Siを良好に成長させることができ可能なキャパシタの形成方法を提供し、キャパシタの大容量化を達成することを目的とする。

【0008】

【課題を解決するための手段】

このような目的を達成するための本発明の請求項1に係るキャパシタの形成方法は、次のような各工程を行うことを特徴としている。第1工程では、基板上に形成された孔状または島状のコアパターンを覆う状態で非晶質シリコン膜を形成する。第2工程では、前記コアパターンの側壁に前記非晶質シリコン膜を残す状態で当該非晶質シリコン膜を除去し、当該コアパターンの側壁に残った当該非晶質シリコン膜を周壁としたシリンド型の下部電極を形成する。第3工程では、前記コアパターンをエッティング除去する。第4工程では、前記下部電極の表面に成長した自然酸化膜及び当該下部電極を構成する非晶質シリコンの表面層をエッティング除去する。第5工程では、前記下部電極の表面にシリコンの半球グレインを成長させる。

【0009】

このような請求項1に係るキャパシタの形成方法では、下部電極の表面にシリコンの半球グレインを成長させる前に、下部電極表面の自然酸化膜だけではなくこの下部電極を構成する非晶質シリコンの表面層もエッティング除去される。このため、コアパターンの側壁から非晶質シリコン膜の表面層に取り込まれた汚染物質は非晶質シリコンの表面層と共にこのエッティングで除去され、下部電極の露出表面の全面が清浄な非晶質シリコン表面となる。したがって、下部電極の露出表面の全面において、十分に成長したシリコンの半球グレインが形成される。

【0010】

また、本発明の請求項4に係るキャパシタの形成方法は、請求項1と同様の第1工程、第2工程及び第3工程を行ってシリンド型の下部電極を形成した後、第4工程では、硝酸とフッ酸との混合水溶液を用いて前記下部電極の表面層をエッティングする。そして、第5工程では、前記下部電極の表面にシリコンの半球グレ

インを成長させることを特徴としている。

【0011】

このような請求項4に係るキャパシタの形成方法では、下部電極の表面にシリコンの半球グレインを成長させる前に、硝酸とフッ酸との混合水溶液を用いて前記下部電極の表面層がエッティングされる。このため、このエッティングでは、下部電極の表面に成長した自然酸化膜がフッ酸によってエッティング除去されると共に、コアパターンの側壁から非晶質シリコン膜の表面に付着した有機系の汚染物質が硝酸によってエッティング除去される。したがって、下部電極の露出表面の全面が清浄な非晶質シリコン表面となり、この全面において十分に成長したシリコンの半球グレインが形成される。

【0012】

【発明の実施の形態】

以下、本発明のキャパシタの形成方法を適用した実施の形態を図面に基づいて詳細に説明する。

【0013】

(第1実施形態)

本第1実施形態では、ネガ型の下部電極形成工程を有するキャパシタの形成方法に本発明を適用した方法を、図1、図2及び図3の断面工程図を用いて説明する。

先ず、図1(1)に示すように、半導体基板11の表面側にフィールド酸化膜12を形成し、半導体基板11の表面側を活性領域とフィールド酸化膜12が形成されたフィールド領域とに分離する。次に、フィールド酸化膜12が形成された半導体基板11上の全面に、層間絶縁膜13を形成する。

【0014】

次に、ここでは図示を省略したレジストパターンをマスクに用いて層間絶縁膜13を異方性エッティングし、半導体基板11に達するコンタクトホール14を層間絶縁膜13に形成する。その後、レジストパターンを除去してコンタクトホール14の内部に導電層を埋め込み、半導体基板11に接続されたコンタクト電極15を得る。次いで、層間絶縁膜13及びコンタクト電極14の上方に、エッチ

ングストップ層16を形成する。このエッティングストップ層16は、以降に行うシリンドコア層を除去する際にストップとなる層であり、例えば100nmの膜厚を有する塗化シリコン膜からなることとする。

【0015】

次に、図1(2)に示すように、エッティングストップ層16上に、酸化シリコン系材料からなるシリンドコア層17を、600nm程度の膜厚で形成する。このシリンドコア層17を構成する酸化シリコン系材料は、例えば、NSG (non-doped silicate glass)、BPSG (boro phospho silicate glass) またはPSG (phospho silicate glass)であり、TEOS (tetraethoxy silane) 系ガスを用いたLP (Low Pressure)-CVD (chemical vapor deposition) 法や、O₃ (オゾン) ガスとTEOS系ガスとを用いたCVD法によって形成される。

【0016】

その後、ここでは図示を省略したレジストパターンをマスクに用いたエッティングによって、シリンドコア層17及びエッティングストップ層16をパターニングし、コンタクト電極15を露出させる孔状のコアパターン17aを形成する。エッティング終了後には、レジストパターンを除去する。

【0017】

次に、図1(3)に示すように、コアパターン17aの内壁を覆う状態で、シリンドコア層17の上面に非晶質シリコン膜18を形成する。以下に、LP-CVD法による非晶質シリコン層18の形成条件の一例を示す。尚、scmは、standard cubic centimeter/minutes であることとする。

成膜ガス及び流量：シラン (SiH₄) = 1000scm,

水素化リン (PH₃) = 35scm,

成膜雰囲気内圧力：150Pa,

基板温度 : 530°C,

成膜膜厚 : 100nm

【0018】

また、非晶質シリコン膜18は、成膜ガスにジシランを用いて形成しても良い。以下にジシランを用いた非晶質シリコン膜18の形成条件の一例を示す。

成膜ガス及び流量：ジシラン (Si_2H_6) = 1000 sccm,

水素化リン (PH_3) = 35 sccm,

成膜雰囲気内圧力：150 Pa,

基板温度 : 480°C,

成膜膜厚 : 100 nm

【0019】

以上のようにして、コアパターン17a底部のコンタクト電極15に接続される状態で、リン(P)を含有する非晶質シリコン膜18を得る。

【0020】

その後、図2(1)に示すように、CMP(chemical mechanical polishing)法によって、シリンドコア層17上の非晶質シリコン膜18部分を除去する。これによって、コアパターン17aの内壁にのみ残した非晶質シリコン膜18からなるシリンド形状の下部電極18aを形成する。

【0021】

ここでは、CMP法によってシリンドコア層17上の非晶質シリコン膜18除去する他、非晶質シリコンが結晶化しない温度で非晶質シリコン膜18上に酸化シリコン膜(例えばNSG)を形成し、RIE(reactive ion etching)法によって酸化シリコン膜の表面側から当該酸化シリコン膜及び非晶質シリコン膜18を等方的にエッティング除去することで、コアパターン17aの内壁にのみ非晶質シリコン膜18を残すようにしても良い。

【0022】

次に、図2(2)に示すように、希フッ酸をエッティング溶液に用いたウェットエッティングによって、酸化シリコン系材料からなるシリンドコア層(17)を選択的に除去し、コアパターン(17a)を除去する。これによって、層間絶縁膜13の上方に非晶質シリコンからなる下部電極18aのみを残す。このウェットエッティングでは、例えばフッ化水素(HF) : 水(H_2O) = 1 : 20の希フッ酸を用いて700秒間のエッティングを行う。この際、層間絶縁膜13はエッティングストップ層16で覆われているため、エッティングによる影響を受けることはない。

【0023】

以上の後、図3(1)に示すように、下部電極18aの表面層に成長した自然酸化膜(図示省略)及び下部電極18aを構成する非晶質シリコンの露出表面層をエッティング除去する。ここでは、強アルカリ水溶液をエッティング溶液に用いたウェットエッティングによって、自然酸化膜(図示省略)及び下部電極18aを構成する非晶質シリコンの露出表面層をエッティング除去することとする。この際、強アルカリ水溶液は、PH.9以上であることとし、例えば、フッ化アンモニウム(NH_4F)とフッ化水素(HF)とを、 $\text{NH}_4\text{F} : \text{HF} = 200 : 1$ の割合(容量比)で混ぜ合わせたの混合水溶液を用い、下部電極18aの表面層を5nm程度、好ましくは10nm程度エッティング除去することとする。

【0024】

また、この強アルカリ水溶液は、上記フッ化水素(HF)とフッ化アンモニウム(NH_4F)との混合水溶液の他にも、アンモニア(NH_4OH)と過酸化水素(H_2O_2)との混合水溶液、または水酸化カリウム(KOH)の水溶液等を用いることができる。この他にも、ヒドロキシルアミン(NH_2OH)の水溶液のような有機アルカリ水溶液を用いても良い。

【0025】

以上の後、図3(2)に示すように、下部電極18aの表面にHSG-Si(シリコンの半球グレイン)19を成長させる。この場合、先ず、以上のようにして下部電極18aが形成された半導体基板11を反応チャンバ内に収納し、この反応チャンバ内にシランガスまたはジシランガスを供給する。これによって、下部電極18aの露出表面をシランガスまたはジシランガスに晒し、非晶質シリコンからなる下部電極18aの表面に、選択的にSiグレイン核(図示省略)を形成する。次に、シランガスまたはジシランガスの供給を停止し、反応チャンバ内を超高真空にするかまたは不活性ガス雰囲気にしてアニール処理を行う。これによって、下部電極18aを構成する非晶質シリコン表面のシリコン原子をSiグレイン核に集めるようにマイグレーションさせ、下部電極18aの表面にHSG-Si19を成長させる。

【0026】

以上の後、ここでの図示は省略したが、表面にHSG-Si19が形成された下部電極18aを覆う状態で誘電膜を形成し、さらにこの誘電膜上に上部電極となるセルプレートを形成してキャパシタを完成させる。

【0027】

このようなキャパシタの形成方法では、下部電極18aの表面にHSG-Si19を成長させる前に、下部電極18a表面の自然酸化膜だけではなくこの下部電極18aを構成する非晶質シリコンの表面層もエッティング除去される。このため、コアパターン17aの形成工程で発生した有機物A等の汚染物質が、非晶質シリコン膜18を形成する際にその表面層に取り込まれても、この有機物Aは非晶質シリコンの表面層と共にこのエッティングで除去される。このため、下部電極18aの露出表面の全面を清浄な非晶質シリコン表面とすることでき、この全面においてHSG-Si19を成長させることができるとなる。したがって、下部電極18aにおける露出表面の全面で、汚染物質に影響されることなく十分にHSG-Si19を成長させることができる。この結果、下部電極18aの露出表面の全面において表面積を十分に拡大させることができ、この下部電極18aを用いたキャパシタの大容量化が達成される。

【0028】

(第2実施形態)

次に、本発明のキャパシタの形成方法を適用した第2実施形態を説明する。本第2実施形態と、上述の第1実施形態との異なるところは、図3(1)を用いて説明した工程において下部電極18aの表面層をドライエッティングによって除去するところにあり、その他の工程は第1実施形態と同様であるとする。

【0029】

すなわち、第2実施形態においては、図1及び図2を用いて説明したようにして下部電極18aを形成した後、図3(1)に示す工程では、ドライエッティングによって、下部電極18aの表面層に成長した自然酸化膜(図示省略)及び下部電極18aを構成する非晶質シリコンの露出表面層を除去する。

【0030】

以下に、ドライエッティング条件の一例を示す。

エッティングガス及び流量：メタンガス (CH_4) = 150 sccm、

酸素ガス (O_2) = 60 sccm、

エッティング雰囲気内圧力： 40 Pa、

RFバイアス : 700 W、

エッティング時間 : 14秒

【0031】

このような方法であっても、強アルカリ水溶液を用いてウェットエッティングを行った場合と同様に、下部電極 18a の表面に HSG-Si19 を成長させる前に、下部電極 18a 表面の自然酸化膜だけではなくこの下部電極 18a を構成する非晶質シリコンの表面層もエッティング除去されるため、下部電極 18a の露出表面の全面を清浄な非晶質シリコン表面とすることができる。この結果、第1実施形態と同様に、下部電極 18a の露出表面の全面において表面積を十分に拡大させることができ、この下部電極 18a を用いたキャパシタの大容量化を達成することができる。

【0032】

以上の第1実施形態及び第2実施形態において図3(1)を用いて説明した工程では、下部電極 18a の表面層に成長した自然酸化膜(図示省略)及び、下部電極 18a を構成する非晶質シリコンの表面層をエッティング除去する方法を説明した。しかし、この工程においては、フッ化水素 (HF) と硝酸 (HNO_3) の混合水溶液を用いた下部電極 18a の表面層をウェットエッティングするようにしても良い。

【0033】

このような酸性の混合水溶液を用いて上述のウェットエッティングを行った場合には、下部電極 18a の表面に HSG-Si19 を成長させる前に、下部電極 18a の表面に成長した自然酸化膜がフッ酸によってエッティング除去されると共に、コアパターン 17a の側壁から非晶質シリコン膜 18 の表面に付着した有機物 A が硝酸によってエッティング除去される。したがって、下部電極 18a の露出表面

の全面を清浄な非晶質シリコン表面とすることができます。この結果、上述の第1実施形態及び第2実施形態と同様に、下部電極18aの露出表面の全面において表面積を十分に拡大させることができなり、この下部電極18を用いたキャパシタの大容量化を達成することができる。

【0034】

(第3実施形態)

本第3実施形態では、ポジ型の下部電極形成工程を有するキャパシタの形成方法に本発明を適用した方法を、図4、図5及び図6の断面工程図を用いて説明する。

先ず、図4(1)に示すように、第1実施形態と同様にして、半導体基板31の表面側にフィールド酸化膜32を形成し、半導体基板31の表面側を活性領域とフィールド酸化膜32が形成されたフィールド領域とに分離する。次に、フィールド酸化膜32が形成された半導体基板31上の全面に、層間絶縁膜33を形成する。

【0035】

次に、層間絶縁膜33上に、100nmの膜厚の窒化シリコン膜からなるエッティングストッパ層34を形成する。しかる後、層間絶縁膜33及びエッティングストッパ層34にコンタクトホール35を形成し、このコンタクトホール35の内部に導電層を埋め込んだコンタクト電極36を形成する。

【0036】

その後、図4(2)に示すように、LPCVD法によって、エッティングストッパ層34及びコンタクト電極36上に第1の非晶質シリコン膜37を形成する。以下に第1の非晶質シリコン膜37の形成条件の一例を示す。

成膜ガス及び流量：シラン (SiH_4) = 1000 sccm、

水素化リン (PH_3) = 35 sccm、

成膜雰囲気内圧力：150Pa、

基板温度 : 530°C、

成膜膜厚 : 100nm

【0037】

また、第1の非晶質シリコン膜37は、成膜ガスにジシランを用いて形成しても良い。以下にジシランを用いた第1の非晶質シリコン膜37の形成条件の一例を示す。

成膜ガス及び流量：ジシラン (Si_2H_6) = 1000 sccm、

水素化リン (PH_3) = 35 sccm、

成膜雰囲気内圧力：150 Pa、

基板温度 : 480°C、

成膜膜厚 : 100 nm

【0038】

次に、図4(3)に示すように、第1の非晶質シリコン膜37上に、酸化シリコン系材料からなるシリンドコア層38を、600 nm程度の膜厚で形成する。このシリンドコア層38は、第1実施形態と同様のものとする。

【0039】

その後、ここでは図示を省略したレジストパターンをマスクに用いたエッチングによって、シリンドコア層38及び第1の非晶質シリコン膜37をバターニングし、コンタクト電極36の上部にシリンドコア層38からなる島状のコアパターン38aを形成する。また、コアパターン38aの下部には、下部電極の底部となる第1の非晶質シリコン膜37を残す。エッチング終了後には、上記レジストパターンを除去する。

【0040】

次に、図5(1)に示すように、コアパターン38a及び第1の非晶質シリコン膜37を覆う状態で、第2の非晶質シリコン膜（すなわち、請求項に示す非晶質シリコン膜）39を形成する。第2の非晶質シリコン膜39は、100 nm程度の膜厚を有し、第1の非晶質シリコン膜37と同様に形成されることとする。

【0041】

次いで、図5(2)に示すように、コアパターン38aの上面及びエッチングストップ層35が露出するまで、第2の非晶質シリコン膜39をエッチバックし、コアパターン38a及び第1の非晶質シリコン膜37の側壁にのみ第2の非晶

質シリコン膜39を残す。これによって、コアパターン38aの外周に、第1の非晶質シリコン膜37と第2の非晶質シリコン膜39とからなるシリンダ型の下部電極39aを形成する。この下部電極39aにおいては、第2の非晶質シリコン膜39が周壁となる。

【0042】

その後、図5(3)に示す工程では、第1実施形態で図2(2)を用いて説明したと同様にして、酸化シリコン系材料からなるコアパターン(38a)を選択的に除去し、層間絶縁膜33の上方に非晶質シリコンからなる下部電極39aのみを残す。

【0043】

以上の後、図6(1)に示すように、下部電極39aの表面層に成長した自然酸化膜(図示省略)及び下部電極39aを構成する非晶質シリコンの露出表面層をエッティング除去する。ここでは、強アルカリ水溶液をエッティング溶液に用いたウェットエッティングによって、自然酸化膜(図示省略)及び下部電極39aを構成する非晶質シリコンの露出表面層をエッティング除去することとする。このウェットエッティングは、第1実施形態において、図3(1)を用いて説明したと同様に行われることとする。

【0044】

次に、図6(2)に示すように、下部電極39aの表面にHSG-Si40を成長させる。この工程は、第1実施形態で図3(2)を用いて説明したと同様に行われることとする。

【0045】

以上の後、第1実施形態と同様に、さらに下部電極39aを覆う状態で誘電膜を形成し、さらにこの誘電膜上に上部電極となるセルプレートを形成してキャパシタを完成させる。

【0046】

このようなキャパシタの形成方法であっても、第1実施形態と同様に、下部電極39aの表面にHSG-Si40を成長させる前に、下部電極39a表面の自然酸化膜だけではなくこの下部電極39aを構成する非晶質シリコンの表面層も

エッティング除去される。このため、コアパターン38aの形成工程で発生した有機物A等の汚染物質が、非晶質シリコン膜39を形成する際にその表面層に取り込まれても、この有機物Aは非晶質シリコンの表面層と共にこのエッティングで除去される。したがって、下部電極39aの露出表面の全面を清浄な非晶質シリコン表面とすることができます、この全面においてHSG-Si19を成長させることができるとなる。この結果、上述の第1実施形態と同様に、下部電極18aの露出表面の全面において表面積を十分に拡大させることができるとなる。この下部電極39aを用いたキャパシタの大容量化を達成することができる。

【0047】

以上の第3実施形態において図6(1)を用いて説明した工程では、下部電極39aの表面層に成長した自然酸化膜(図示省略)及び下部電極39aを構成する非晶質シリコンの表面層を除去する際、強アルカリ水溶液をエッティング溶液に用いたウェットエッティングを行う方法を説明した。しかし、この工程においては、第2実施形態で説明したようなドライエッティングを行っても良い。このようにした場合であっても、第3実施形態と同様の効果を得ることができる。

【0048】

また、この工程では、またフッ化水素(HF)と硝酸(HNO₃)との混合水溶液を用いて下部電極39aのウェットエッティングを行っても良い。このような酸性の混合水溶を用いた場合には、下部電極39aの表面にHSG-Si40を成長させる前に、下部電極39aの表面に成長した自然酸化膜がフッ酸によってエッティング除去されると共に、非晶質シリコン膜の表面の有機物Aが硝酸によつてエッティング除去される。したがって、下部電極39aの露出表面の全面を清浄な非晶質シリコン表面とすることができます、第3実施形態と同様の効果を得ることができる。

【0049】

【発明の効果】

以上説明したように本発明の請求項1に係るキャパシタの形成方法によれば、下部電極の表面にシリコンの半球グレインを成長させる前に、下部電極表面の自然酸化膜だけではなくこの下部電極を構成する非晶質シリコンの表面層もエッチ

ング除去する構成にすることで、下部電極の露出表面の全面を清浄な非晶質シリコン表面とすることができます。この結果、下部電極の露出面の全面においてシリコンの半球グレインを十分に成長させることができなり、下部電極の露出面の全面において表面積を十分に拡大させ、キャパシタの大容量化を達成することが可能になる。

【0050】

また、本発明の請求項4に係るキャパシタの形成方法によれば、下部電極の表面にシリコンの半球グレインを成長させる前に、硝酸とフッ酸との混合水溶液を用いて前記下部電極の表面層をエッティングする構成にすることで、下部電極の表面に成長した自然酸化膜をフッ酸によってエッティング除去できると共に、下部電極を構成する非晶質シリコン表面の有機系の汚染物質を硝酸によってエッティング除去できる。したがって、下部電極の露出表面の全面を清浄な非晶質シリコン表面とすることができます、下部電極の露出面の全面においてシリコンの半球グレインを十分に成長させることができなり。この結果、下部電極の露出面の全面において表面積を十分に拡大させ、キャパシタの大容量化を達成することが可能になる。

【図面の簡単な説明】

【図1】

第1実施形態及び第2実施形態を説明するための断面工程図（その1）である

【図2】

第1実施形態及び第2実施形態を説明するための断面工程図（その2）である

【図3】

第1実施形態及び第2実施形態を説明するための断面工程図（その3）である

【図4】

第3実施形態を説明するための断面工程図（その1）である。

【図5】

第3実施形態を説明するための断面工程図（その2）である。

【図6】

第3実施形態を説明するための断面工程図（その3）である。

【図7】

従来のキャパシタの形成方法を説明するための断面工程図である。

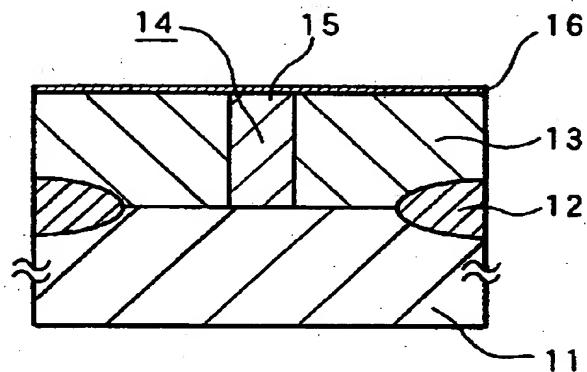
【符号の説明】

11…半導体基板（基板）、17a, 38a…コアパターン、18…非晶質シリコン膜、18a, 39a…下部電極、19, 40…HSG-Si（シリコンの半球グレイン）、39…第2の非晶質シリコン膜（非晶質シリコン膜）

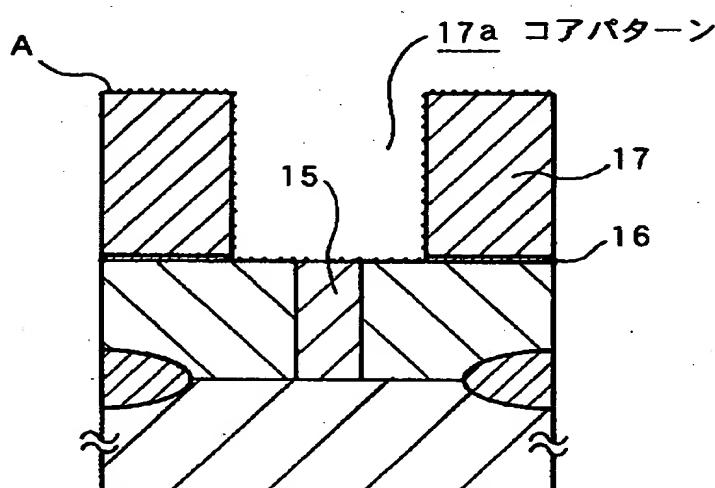
【書類名】 図面

【図1】

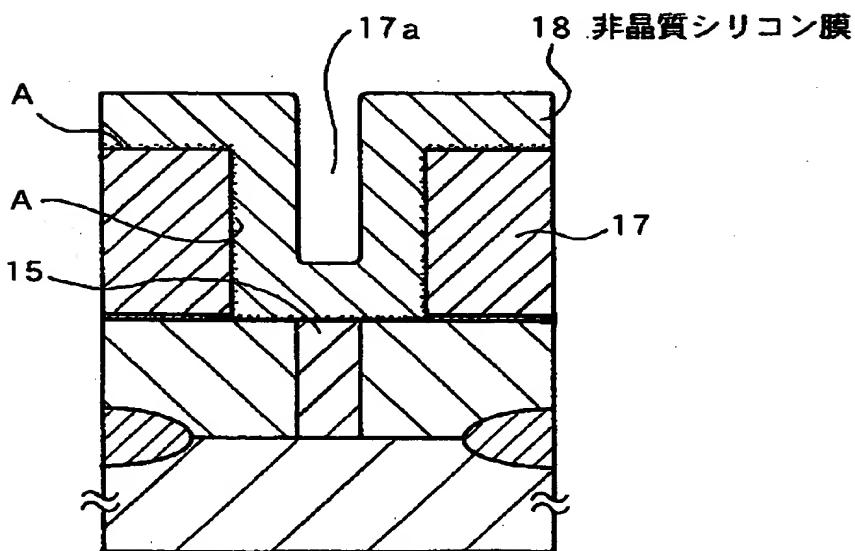
(1)



(2)

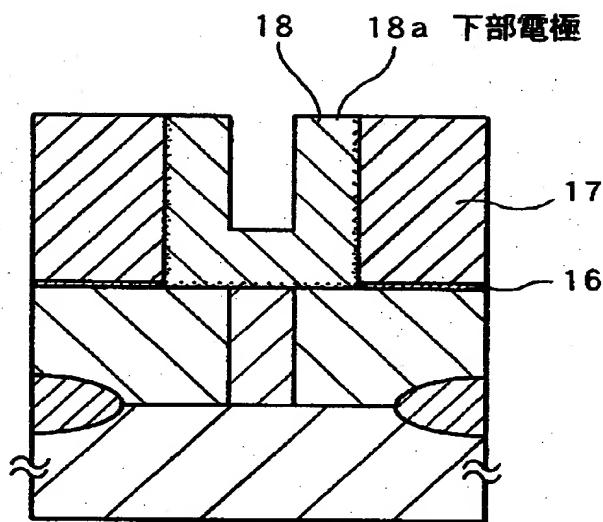


(3)

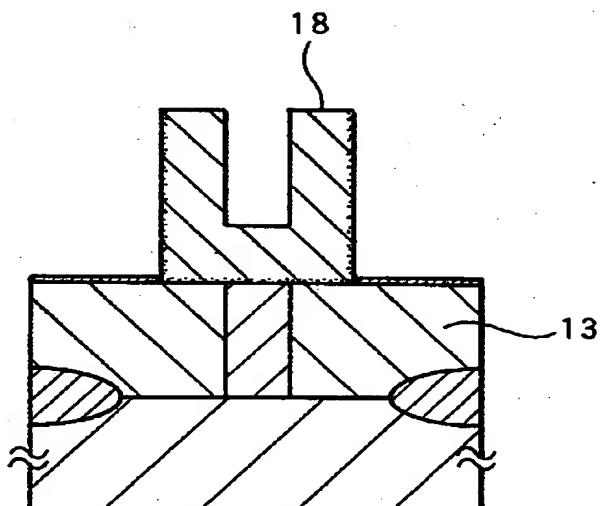


【図2】

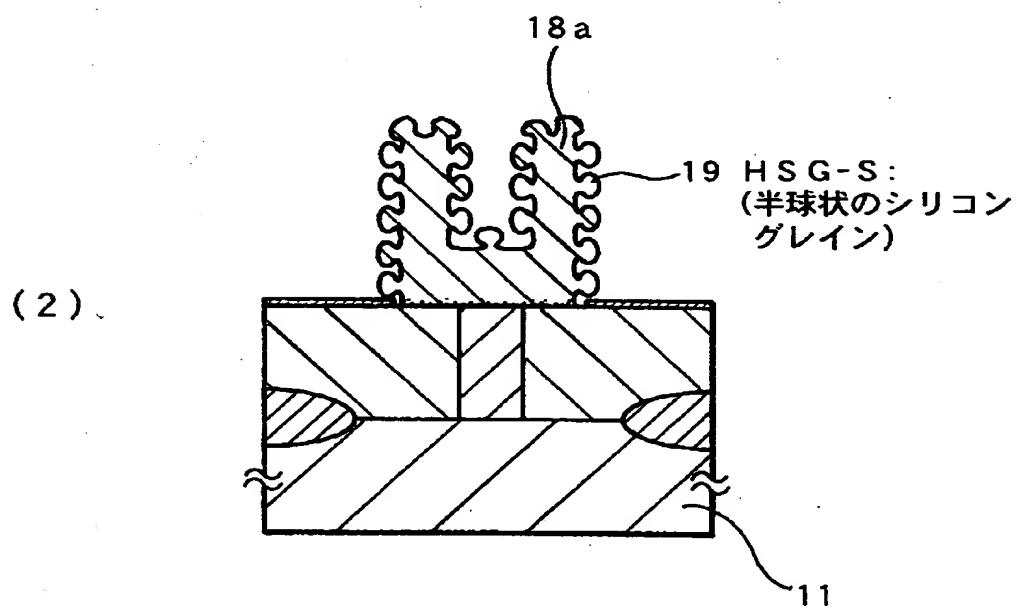
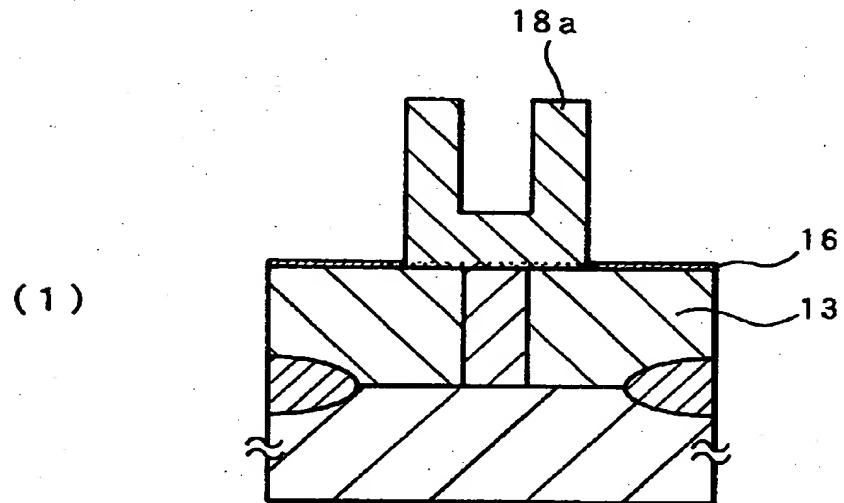
(1)



(2)

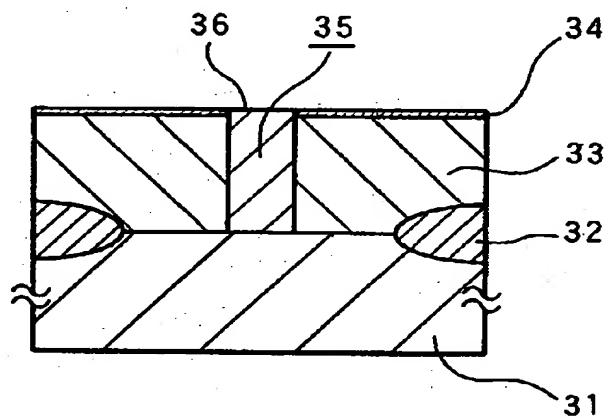


【図3】

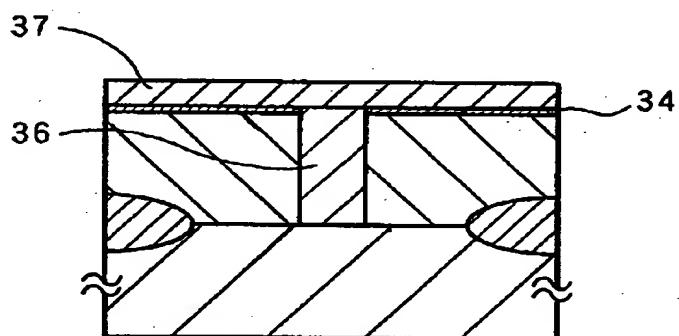


【図4】

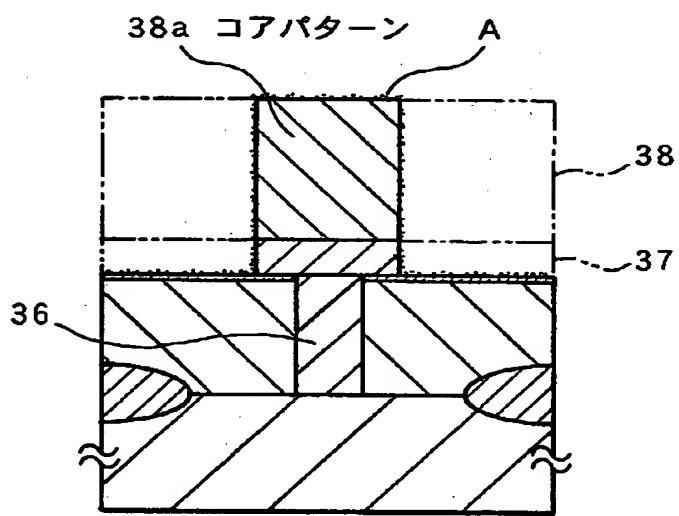
(1)



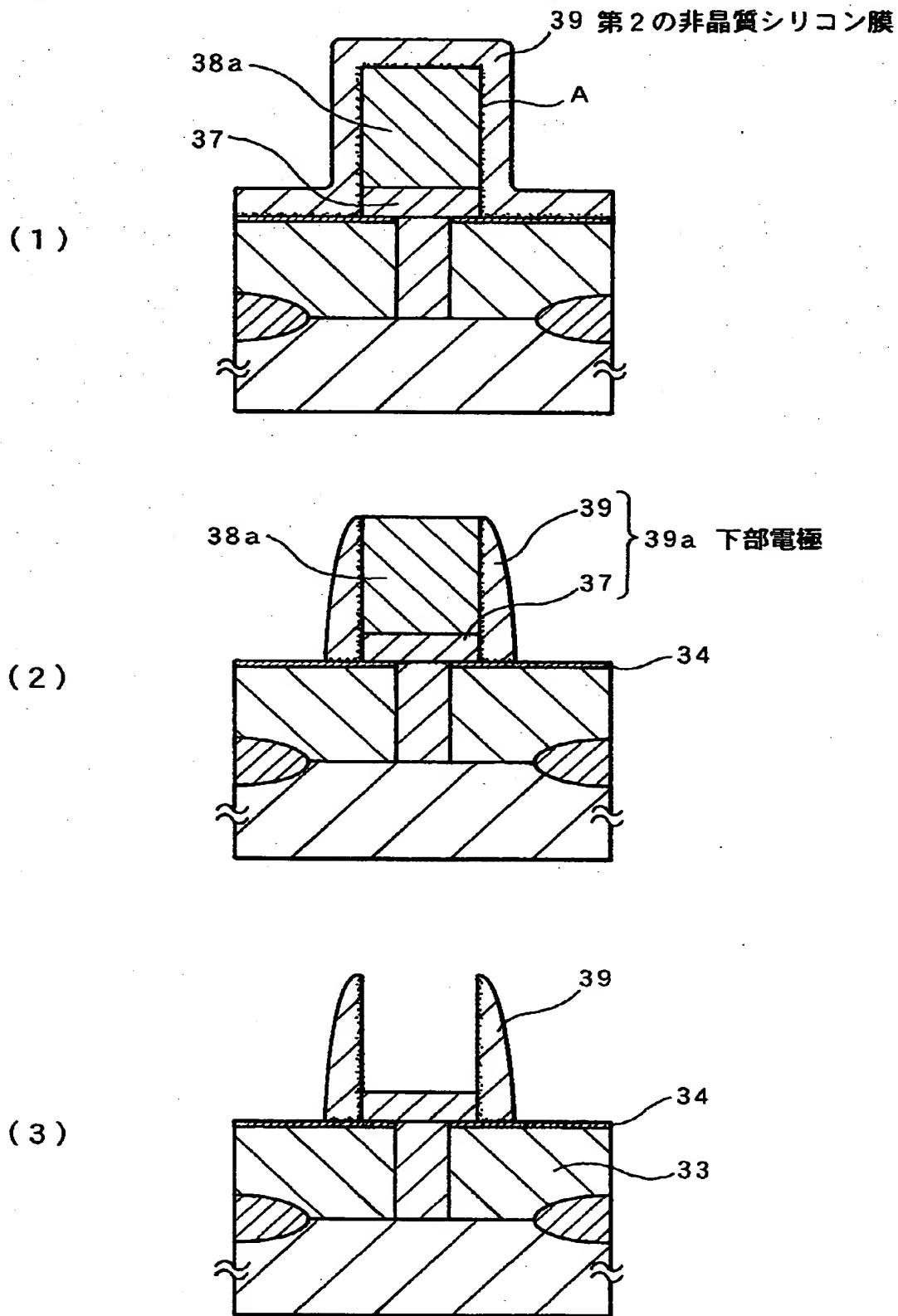
(2)



(3)

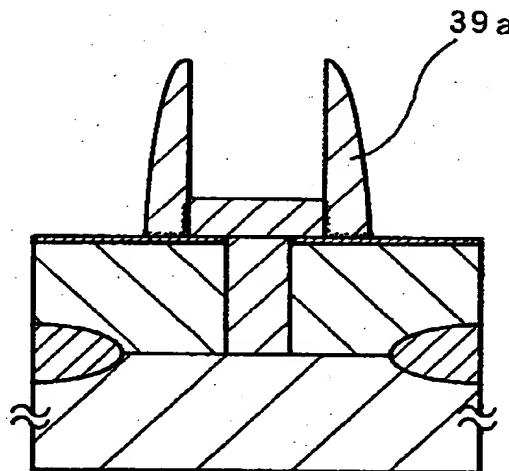


【図5】

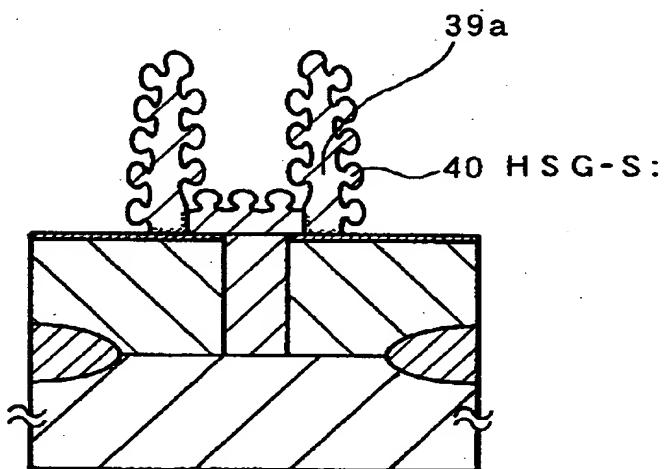


【図6】

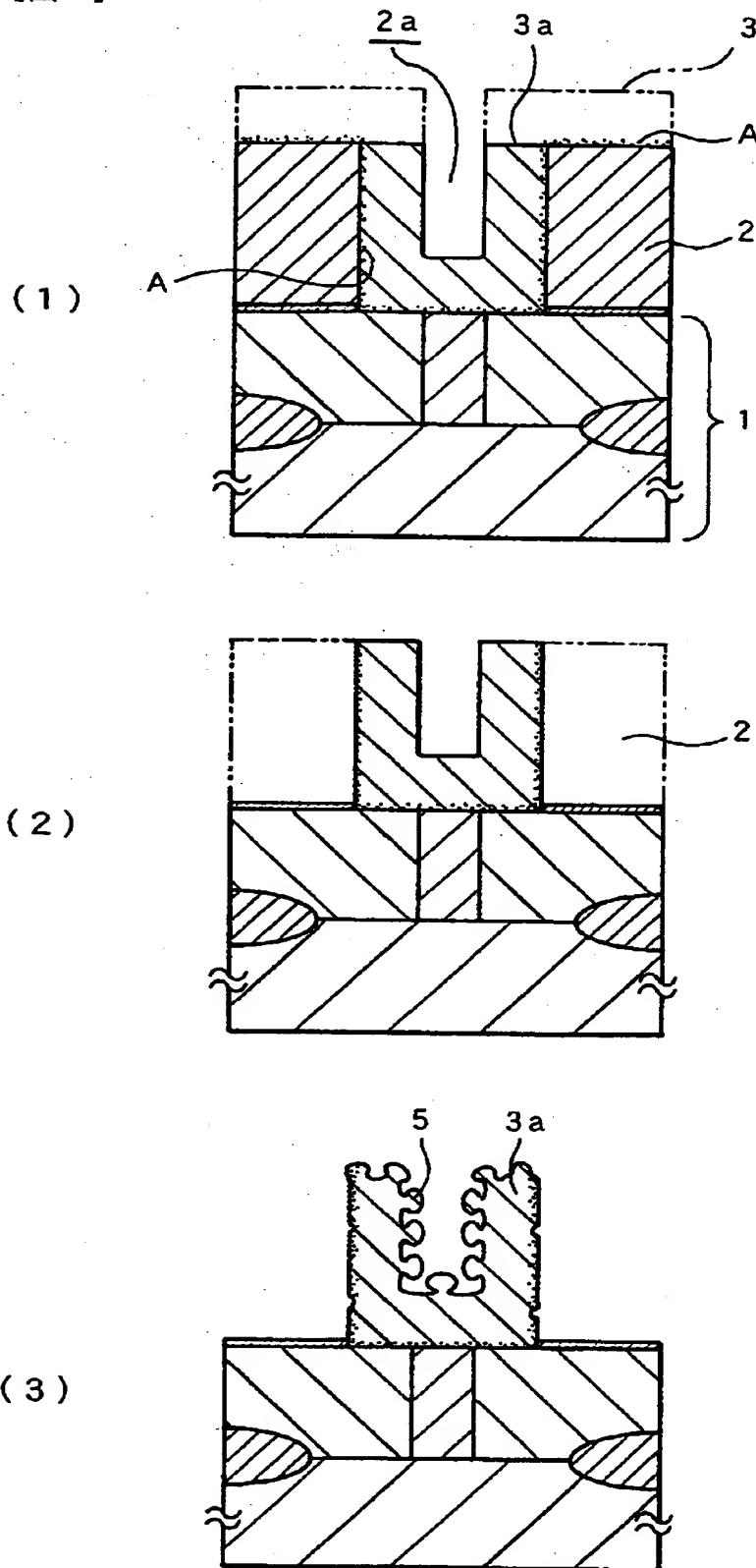
(1)



(2)



【図7】



【書類名】 要約書

【要約】

【課題】 シリンダ型の下部電極の露出面の全面においてHSG-Siを良好に成長させることができ可能なキャパシタの形成方法を提供する。

【解決手段】 半導体基板11上のシリンダコア層17に孔状のコアパターン17aを形成し、このコアパターン17aを覆う状態で非晶質シリコン膜18を形成する。コアパターン17aの内壁に非晶質シリコン膜18を残す状態で、シリンダコア層17上の非晶質シリコン膜18を除去し、コアパターン17aの内壁に非晶質シリコン膜18からなる下部電極を形成する。コアパターン17aを構成するシリンダコア層17をエッチング除去した後、下部電極の表面に成長した自然酸化膜及び下部電極を構成する非晶質シリコンの表面層をエッチング除去する。しかる後、下部電極の表面にHSG-Siを成長させる。

【選択図】 図1

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社